

MULTIPLE CONNECTED WIRING BOARD AND MANUFACTURE OF SEMICONDUCTOR DEVICE USING THE SAME

Patent Number: JP10135258
Publication date: 1998-05-22
Inventor(s): KASAI NORIHIKO
Applicant(s):: HITACHI LTD; HITACHI HOKKAI SEMICONDUCTOR LTD
Requested Patent: ☐ JP10135258
Application Number: JP19960287800 19961030
Priority Number(s):
IPC Classification: H01L21/56 ; H01L23/12
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent molding failure in the molding process of a multiple connected wiring board, by a method wherein the dimension in the width direction of the multiple connected wiring board is formed to be equal to the dimension in one direction of a semiconductor device which is formed by cutting the multiple connected wiring board into chip regions.

SOLUTION: A multiple connected wiring board 1 is composed of, e.g. epoxy resin, and so formed that the necessary number of, e.g. five, chip regions 1a which are cut out for wiring boards 3 of semiconductor devices 2 of a ball grid array(BGA) are continuously formed. The length of the multiple connected wiring board 1 is L1 and the width is L2. The length L1 is constituted of the total dimension of the five chip regions 1a and four waste regions 1b sandwiched by the chip regions 1a. The width L2 constituted of the dimension of a single chip region 1a is equal to the dimension in one direction of the wiring board 3 of the semiconductor device 2. Thereby only cutting in the width direction is performed, in the work for making the respective chips of the multiple connected wiring board 1 wherein the width L2 serves as it is in the semiconductor devices 2.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135258

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁵

識別記号

F I

H 0 1 L 21/56
23/12

H 0 1 L 21/56
23/12

T
L

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21) 出願番号 特願平8-287800

(22) 出願日 平成8年(1996)10月30日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 葛西 紀彦

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74) 代理人 弁理士 筒井 大和

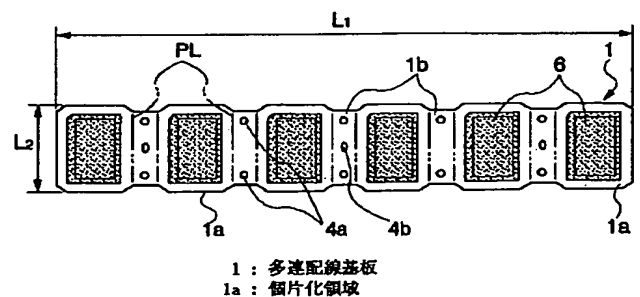
(54) 【発明の名称】 多連配線基板およびそれを用いた半導体装置の製造方法

(57) 【要約】

【課題】 多連配線基板の使用効率の向上を図る。

【解決手段】 半導体装置の配線基板を構成する個片化領域1aの連続により形成された多連配線基板1において、多連配線基板1の幅方向の寸法 L_1 を、この多連配線基板1を個片化領域1aに切断してなる半導体装置の一方向の寸法と等しく形成する。

図 1



【特許請求の範囲】

【請求項1】 半導体装置の配線基板を構成する個片化領域の連続により形成された多連配線基板であって、前記多連配線基板の幅方向の寸法が、この多連配線基板を前記個片化領域に切断してなる前記半導体装置の一方向の寸法と等しく形成されていることを特徴とする多連配線基板。

【請求項2】 請求項1記載の多連配線基板において、前記個片化領域の間に形成されて個片化時に切断除去される廃棄領域には、前記多連配線基板の位置決めを行う位置決め孔が形成されていることを特徴とする多連配線基板。

【請求項3】 請求項1または2記載の多連配線基板において、前記半導体装置はBGAまたはPGAであることを特徴とする多連配線基板。

【請求項4】 請求項1、2または3記載の多連配線基板を用いた半導体装置の製造方法であって、前記個片化領域に集積回路の形成された半導体チップが装着された前記多連配線基板を用意する第1の工程と、前記多連配線基板をモールド金型にセットし、これを前記モールド金型のゲート側に押し付けながら樹脂封止を行う第2の工程と、樹脂封止された前記多連配線基板を切削工具で個片化して半導体装置を得る第3の工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、前記第3の工程では、前記多連配線基板を、その切断箇所を避けて幅方向両側で保持して幅方向に切断することのみによって前記多連配線基板を個片化することを特徴とする半導体装置の製造方法。

【請求項6】 請求項4または5記載の半導体装置の製造方法において、前記切削工具はエンドミルまたは丸刃ブレードであることを特徴とする製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多連配線基板およびそれを用いた半導体装置の製造方法に関し、特に、多連配線基板の個片化に適用して有効な技術に関する。

【0002】

【従来の技術】たとえばBGA（Ball Grid Array）などのように、絶縁性を有するベース材とこのベース材に形成された配線メタライズにより構成された配線基板に半導体チップを封止してなる半導体装置の製造工程では、この半導体チップを搭載する個片化領域が連続形成された多連配線基板が用いられている。そして、半導体チップを樹脂封止した後、多連配線基板を切削工具で個片化して個々の半導体装置を組み立てている。

【0003】なお、BGAのように配線基板を用いてなる半導体装置について詳しく記載している例としては、たとえば、日経BP社発行、「実践講座 VLSIパッ

ケーシング技術（下）」（1993年 5月31日発行）、P173～P178がある。

【0004】

【発明が解決しようとする課題】ここで、多連配線基板の加工精度がばらついてその寸法が個々の多連配線基板ごとに異なっていると、モールド作業においてモールド金型との位置合わせを行うために形成された位置決め孔の位置も区々となってしまう。このような多連配線基板をモールド金型にセットすると両者の合わせ精度が悪化して多連配線基板が適正位置にセッティングされなくなり、多連配線基板とモールド金型との間に隙間が発生する。すると、本来キャビティに充填されるべき封止樹脂の一部がこの隙間から漏れてキャビティ内に加わるべき圧力が分散し、キャビティ内にはエアが残留する。そして、このエアが封止樹脂内に取り込まれるとボイドになり、成形不良の半導体装置が製造されることになる。

【0005】また、モールド後、多連配線基板を個片化する工程では、多連配線基板をその底面で治具に固定し、切削工具を用いて最終外形寸法に沿った形状に全周を切削している。このように底面固定で全周切削を行うと、切削開始時では十分に作用していた固定力が個片化部分の分離が進行するにつれて低下し、切削完了に近づくとき切断ラインの直進性確保が困難になるという問題がある。これでは、規定通りの良品形状を有する半導体装置を製造することは困難である。

【0006】さらに、多連配線基板から全周を切削して製品形状に切り出すため、製品に対する多連配線基板の使用率は50％程度と極めて低い。これは、製造原価の低減を阻害する要因の一つとなる。

【0007】そこで、本発明の目的は、多連配線基板のモールド工程での成形不良を防止することのできる技術を提供することにある。

【0008】本発明の他の目的は、多連配線基板の個片化作業を製品寸法通りに行うことのできる技術を提供することにある。

【0009】本発明のさらに他の目的は、多連配線基板の使用効率を向上させることのできる技術を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】すなわち、本発明による多連配線基板は、半導体装置の配線基板を構成する個片化領域の連続により形成されたものであり、多連配線基板の幅方向の寸法が、この多連配線基板を個片化領域に切断してなる半導体装置の一方向の寸法と等しく形成されていることを特

徴とする。この多連配線基板において、個片化領域の間に形成されて個片化時に切断除去される廃棄領域には、多連配線基板の位置決めを行う位置決め孔を形成することができる。このような多連配線基板では、BGA (Ball Grid Array) またはPGA (Pin Grid Array) タイプの半導体装置が製造される。

【0013】また、本発明による半導体装置の製造方法は、前記した多連配線基板を用いたものであって、個片化領域に集積回路の形成された半導体チップが装着された多連配線基板を用意する第1の工程と、多連配線基板をモールド金型にセットし、これをモールド金型のゲート側に押し付けながら樹脂封止を行う第2の工程と、樹脂封止された多連配線基板を切削工具で個片化して半導体装置を得る第3の工程とを有することを特徴とする。この半導体装置の製造方法において、第3の工程では、多連配線基板を、その切断箇所を避けて幅方向両側で保持して幅方向に切断することのみによって多連配線基板を個片化することが望ましい。また、切削工具にはエンドミルや丸刃ブレードを用いることができる。

【0014】上記した手段によれば、一方向のみの切断で個片化が完了することになり、生産性が向上する。また、多連配線基板の一方向のみを切断して廃棄領域を切り出しているため、不要部分である廃棄領域が低減されて製品に対する使用効率が向上する。さらに、キャビティ以外への樹脂漏れがなく、バリやボイドのない高品質の半導体装置を得ることができる。そして、多連配線基板が切断方向に対して強固に固定されて安定した直進性が確保され、個片化作業を製品寸法通りに行うことが可能になる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0016】図1は本発明の一実施の形態であるモールドされた多連配線基板を示す平面図、図2は図1の側面図、図3はモールド金型によりモールドされる多連配線基板を示す説明図、図4は切削工具で個片化される多連配線基板を示す説明図、図5は図4のV-V線に沿う断面図、図6は個片化されて組み立てられた半導体装置を示す斜視図、図7は図6のVII-VII線に沿う断面図である。

【0017】図示する本実施の形態の多連配線基板1はたとえばエポキシ樹脂から構成されており、BGA (Ball Grid Array) タイプの半導体装置2の配線基板3 (図6、図7) として切り出される個片化領域1aがたとえば5つ連続して形成されている。また、仮想的に示すパーティングラインPLで区画される個片化領域1aに挟まれるようにして、個片化時に切断除去される廃棄領域1bが形成されている。但し、1枚の多連配線基板

1における個片化領域1aの数は5つに限定されるものではなく、必要な数だけ連続形成することができる。

【0018】図1に示すように、この多連配線基板1は、長さが L_1 、幅が L_2 となっている。そして、5つの個片化領域1aとこれら個片化領域1aに挟まれた4つの廃棄領域1bの合計寸法からなる長さ L_1 に対して、単一の個片化領域1aの寸法からなる幅 L_2 は、図6に示す半導体装置2の配線基板3の一方の寸法と等しくなっている。したがって、幅 L_2 が半導体装置2でそのまま生きるこの多連配線基板1の個片化作業では、パーティングラインPLで示すように、幅方向の切断のみが行われる。

【0019】廃棄領域1bには、たとえばダイボンディングやワイヤボンディングなど常温にて多連配線基板1に加工を施す際において位置決めピンが隙間なく挿通される真円の第1の位置決め孔4aが各2箇所に、また、たとえばモールド工程など加熱下にて多連配線基板1に加工を施す際において位置決めピンが多少の余裕を持って挿通されよう幅方向に広くなった楕円の第2の位置決め孔4bが1つおきの1箇所に、それぞれ形成されている。したがって、第1の位置決め孔4aで固定されると多連配線基板1は完全に動かなくなるのに対し、第2の位置決め孔4bで固定されると位置決めピンと楕円の隙間分だけ幅方向にスライドする。

【0020】図1および図2において、多連配線基板1には半導体チップ5 (図3、図7) がモールド樹脂6によって封止されているが、このような樹脂封止は図3に示すようにして行われる。

【0021】一対のモールド金型7の片方である下金型7aには、セットされる多連配線基板1の第2の位置決め孔4bに対応した位置決めピン8が備えられている。したがって、個片化領域1aに半導体チップ5が装着された多連配線基板1を用意しておき、これをモールド金型7にセットすると、図3(a)に示すように、楕円形状の第2の位置決め孔4bのために多連配線基板1とゲート9との間に隙間Sが発生する。

【0022】そこで、図3(b)に示すように、位置決めスライダ10により多連配線基板1をモールド金型7のゲート側に押し付ける。すると、第2の位置決め孔4bには楕円により空間的な余裕があるために、多連配線基板1はその幅方向にスライドして前記した隙間Sがなくなる。また、これにより多連配線基板1はモールド金型7の正規位置 (つまり、半導体チップ5がキャビティ11の中央となる位置) にセットされる。

【0023】このように多連配線基板1をゲート側に押し付けた状態で、図3(c)に示すように型締めをする。その後、上金型7bと下金型7aとの合わせ面で形成されるキャビティ11にモールド樹脂を注入して半導体チップ5をモールドする。

【0024】ここで、位置決めスライダ10により多連

配線基板1はゲート9と密着しているので、キャビティ11以外への樹脂漏れがなく、ボイドのない良好な品質の樹脂充填が行われる。また、多連配線基板1がモールド金型7に対して適正にセッティングされるので、樹脂成形位置精度も向上する。

【0025】モールド終了後、モールド金型7を開いて多連配線基板1を取り出し、この多連配線基板1に付着形成されたランナを除去するゲートブレイクを行う。

【0026】その後、樹脂封止された多連配線基板1は、図4および図5に示すように、固定治具12に固定されて個片化される。

【0027】固定治具12は、多連配線基板1が載置されるステージ12aと、このステージ12aの両側に沿って相互に接近離反移動可能に設けられ、多連配線基板1をその幅方向の両側から保持する一対の基板クランパ12bとを有している。したがって、基板クランパ12bが相互に接近移動するとステージ12a上の多連配線基板1はこの基板クランパ12bに保持される。

【0028】ステージ12aの一方の長手方向端には多連配線基板1の端部が当接するストッパ13が設けられており、このストッパ13により多連配線基板1はステージ12a上の適正位置に位置決めされる。そして、このように位置決めされた多連配線基板1のパーティングラインPLに沿って、後述する丸刃ブレード（切削工具）14が通るブレード通過溝15が基板クランパ12bおよびステージ12aを貫通して形成されている。

【0029】ステージ12aの一方の長手方向に沿うようにして、モータ16により高速回転する回転軸17がステージ12a上を横断移動可能に設置されている。但し、ステージ12aおよび基板クランパ12bが回転軸17側へ移動するようになっていてもよい。

【0030】回転軸17にはステージ12a上の多連配線基板1をパーティングラインPLで切断するための丸刃ブレード14が各パーティングラインPLに対応するように取り付けられている。したがって、回転軸17が移動するにつれて丸刃ブレード14がブレード通過溝15と同一線上にあるパーティングラインPL上を移動して行く。これにより、多連配線基板1は、基板クランパ12bによって幅方向の両側で機械的に固定された状態のままで5つの個片化領域1aと4つの廃棄領域1bに分断される。よって、多連配線基板1は切断方向に対して強固に固定されるので、丸刃ブレード14による切断ラインがぶれることなく安定した直進性が確保される。

【0031】また、前述のように、多連配線基板1の幅方向の寸法L₁は半導体装置2の配線基板3の一方の寸法と等しくなっているため、図示するパーティングラインPLに沿った一方のみの切断で個片化が完了する。

【0032】さらに、多連配線基板1の全周を切削して製品形状に切り出すのではなく、一方向切断にて廃棄領

域1bを切り出しているため、廃棄領域1bの面積が小さくなる。

【0033】このようにして個片化したならば、配線基板3の裏面にパンプ18（図7）を形成するなどの必要な加工を施す。これにより、図6および図7に示す半導体装置2が得られる。

【0034】図示する半導体装置2の配線基板3の一方の面には、たとえばCu（銅）からなる配線メタライズ19が形成されている。この配線メタライズ19は配線基板3を貫通して形成されたスルーホール20内の導電性を有するコンタクトメタル21を介して他方面の全域にわたって突出形成されているたとえばPb/Sn（鉛/スズ）からなるパンプ18と電気的に接続されている。また、モールド樹脂6により樹脂封止された半導体チップ5は、たとえばAu（金）からなるボンディングワイヤ22により前記した配線メタライズ19と電気的に接続されている。そして、この半導体装置2における配線基板3の一方の寸法は前記した多連配線基板1の幅方向の寸法L₁となっている。

【0035】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0036】たとえば、製造される半導体装置2は本実施の形態に示すようなBGAではなく、PGA（Pin Grid Array）といった他の基板タイプの半導体装置でもよい。

【0037】また、切削工具は丸刃ブレード以外にも、たとえばエンドミルを適用することができる。

【0038】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0039】(1)本発明の多連配線基板の技術によれば、多連配線基板の幅方向の寸法を半導体装置の配線基板の一方の寸法と等しくしているため、一方のみの切断で個片化が完了することになり、生産性が向上する。

【0040】(2)多連配線基板の一方のみの切断して廃棄領域を切り出しているため、不要部分である廃棄領域が低減されて製品に対する使用効率が向上し、製造原価の低減を図ることができる。

【0041】(3)多連配線基板をゲート側に押し付けた状態で樹脂封止を行うようにしているため、キャビティ以外への樹脂漏れがなく、バリやボイドのない高品質の半導体装置を得ることができる。また、多連配線基板がモールド金型に対して適正にセッティングされるため、樹脂成形位置精度が向上する。

【0042】(4)多連配線基板を、切断箇所を避けて保

持しながら幅方向へ切断するようにしているので、切断方向に対して強固に固定されて安定した直進性が確保でき、個片化作業を製品寸法通りに行うことが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるモールドされた多連配線基板を示す平面図である。

【図2】図1の側面図である。

【図3】(a)、(b)、(c)はモールド金型によりモールドされる多連配線基板を連続的に示す説明図である。

【図4】切削工具で個片化される多連配線基板を示す説明図である。

【図5】図4のV-V線に沿う断面図である。

【図6】個片化されて組み立てられた半導体装置を示す斜視図である。

【図7】図6のVII-VII線に沿う断面図である。

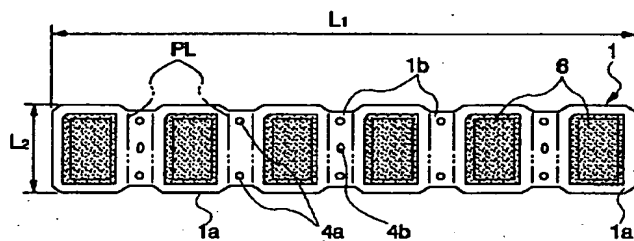
【符号の説明】

- 1 多連配線基板
- 1a 個片化領域
- 1b 廃棄領域
- 2 半導体装置
- 3 配線基板
- 4a 第1の位置決め孔
- 4b 第2の位置決め孔

- * 5 半導体チップ
- 6 モールド樹脂
- 7 モールド金型
- 7a 下金型
- 7b 上金型
- 8 位置決めピン
- 9 ゲート
- 10 位置決めスライダ
- 11 キャビティ
- 12 固定治具
- 12a ステージ
- 12b 基板クランプ
- 13 ストップ
- 14 丸刃ブレード(切削工具)
- 15 ブレード通過溝
- 16 モータ
- 17 回転軸
- 18 パンプ
- 19 配線メタライズ
- 20 スルーホール
- 21 コンタクトメタル
- 22 ボンディングワイヤ
- PL パーティングライン
- S 隙間

【図1】

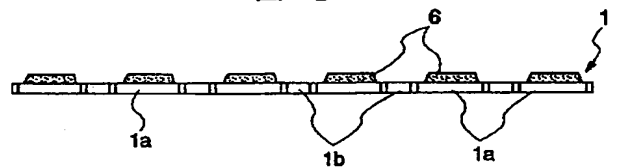
図 1



1 : 多連配線基板
1a : 個片化領域

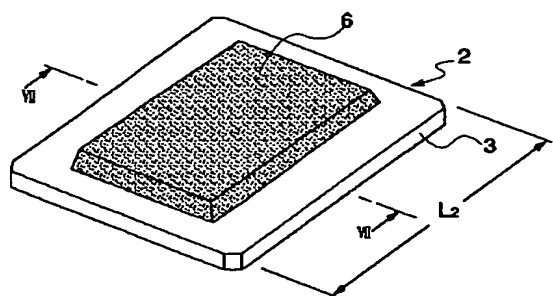
【図2】

図 2



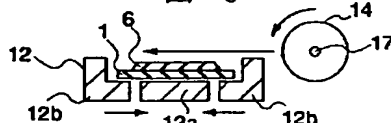
【図6】

図 6



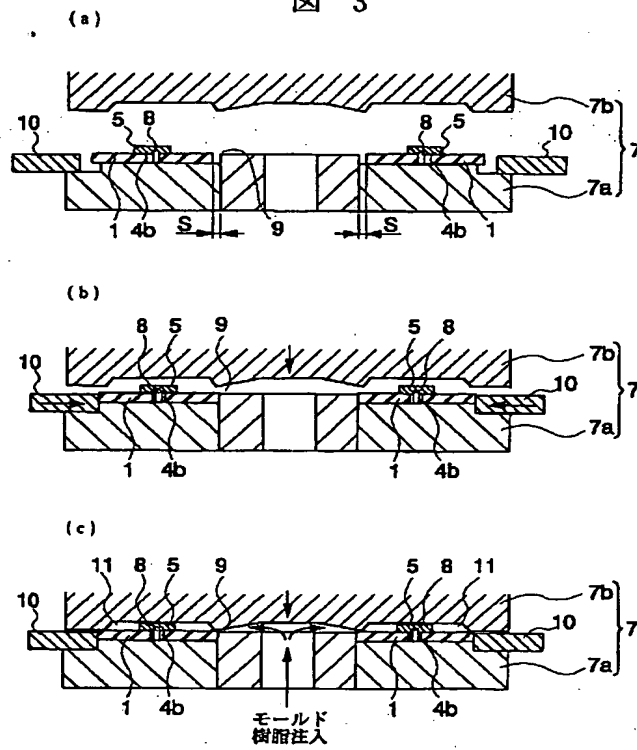
【図5】

図 5



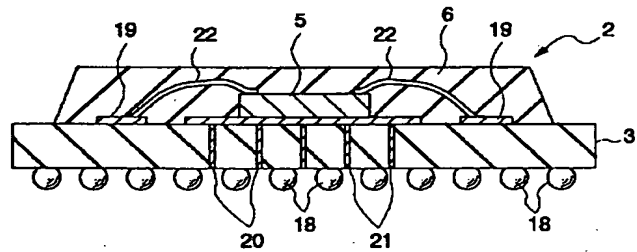
【図3】

図 3



【図7】

図 7



【図4】

図 4

